

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-195746

(43) 公開日 平成11年(1999) 7月21日

(51) Int.Cl.⁶

H 0 1 L 25/065

25/07

25/18

識別記号

F I

H 0 1 L 25/08

B

審査請求 未請求 請求項の数20 O L (全 10 頁)

(21) 出願番号

特願平10-285714

(22) 出願日

平成10年(1998)10月7日

(31) 優先権主張番号

0 8 / 9 4 6 9 8 0

(32) 優先日

1997年10月8日

(33) 優先権主張国

米国 (U S)

(71) 出願人 596077259

ルーセント テクノロジーズ インコーポ
レイテッド

Lucent Technologies
Inc.

アメリカ合衆国 07974 ニュージャージー
ー、マレーヒル、マウンテン アベニュー
600-700

(72) 発明者

ロバート チャールズ フライ
アメリカ合衆国, ニュージャージー, ミド
ルセックス, ビスカタウェイ, カールト
ン アヴェニュー 334ビー

(74) 代理人

弁理士 三俣 弘文

最終頁に続く

(54) 【発明の名称】 集積回路パッケージ

(57) 【要約】

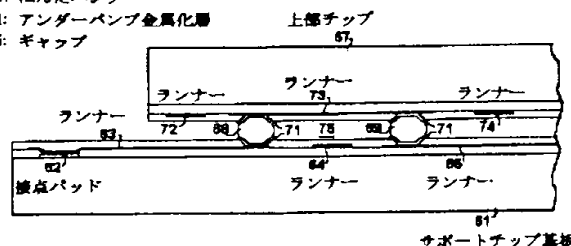
【課題】 構造が単純で安価なマルチレベル相互接続組
立体を提供すること。

【解決手段】 本発明によれば、インターチップ相互接
続回路の少なくとも一部をより小さな(上部)のチップ
にシフトする。複数の上部チップが存在する場合にはイ
ンターチップ回路は2つのチップ上の相互接続回路が共
通の相互接続レベルをあたかも含むようにすなわち上部
のチップの1つへの相互接続が他の上部のチップ上のラ
ンナーを含むように設計される。この本発明の構成の特
徴は、空気絶縁型のクロスオーバー接続を提供するために
チップオンチップボンディングにすでに存在するギャッ
プを利用することである。

68,69: はんだバンプ

71: アンダーバンプ金属化層

75: ギャップ



【特許請求の範囲】

【請求項1】 (a) 複数の能動半導体デバイスを有し、その長さが L_1 で幅が W_1 であり、その結果上表面の面積 A_1 は $L_1 \times W_1$ で、下部表面の面積も A_1 に等しい第1集積回路チップと、

(b) 前記第1集積回路チップの上表面に形成される第1相互接続回路と、

(c) 複数の能動半導体デバイスを有し、その長さが L_2 で幅が W_2 であり、その結果上表面の面積 A_2 は $L_2 \times W_2$ で、下部表面の面積も A_2 に等しい第2集積回路チップと、

前記第2集積回路は前記第1集積回路チップに支持され、 $A_2 < A_1$ であり、

(d) 前記第2集積回路チップの下表面と前記第1集積回路チップの上表面との間を間隙を残しながらそれらを結合する複数の結合手段と、

(e) 前記第2集積回路チップの下表面上に形成された第2相互接続回路と、からなることを特徴とする集積回路パッケージ。

【請求項2】 前記複数の接合手段は、前記第1接続回路上の少なくとも1つの部位を前記第2接続回路上の少なくとも1つの部位と電気的に接続することを特徴とする請求項1記載のパッケージ。

【請求項3】 前記第1と第2の接続回路のそれぞれに複数のランナーを有し、前記第1接続回路のランナーの少なくとも一部は、前記複数の接合手段の内の2つの接合手段を電気的に接続し、

前記第2接続回路のランナーの少なくとも一部は、前記複数の接合手段の内の2つの接合手段を電気的に接続することを特徴とする請求項2記載のパッケージ。

【請求項4】 前記複数の接合手段は、はんだバンプを含むことを特徴とする請求項2記載のパッケージ。

【請求項5】 前記第1接続回路の第1ランナーは、第1はんだバンプに電気的に接続され、前記第1はんだバンプは、前記第2接続回路の第1ランナーに電気的に接続され、前記第2接続回路の第1ランナーは、第2はんだバンプに電気的に接続され、

前記第2はんだバンプは、前記第1接続回路の第2ランナーに接続されることを特徴とする請求項3記載のパッケージ。

【請求項6】 前記第1接続回路の第3ランナーは、前記第1集積回路チップの上表面に沿って第1方向に延び、

前記第2接続回路の前記第1ランナーは、前記第2集積回路チップの下表面に沿って第2方向に延び、

前記第1方向と前記第2方向とは、前記表面の法線方向から見た場合交差することを特徴とする請求項5記載のパッケージ。

【請求項7】 前記第2接続回路の第1ランナーは、第1はんだバンプに電気的に接続され、

前記第1はんだバンプは、前記第1接続回路の第1ランナーに電気的に接続され、

前記第1接続回路の第1ランナーは、第2はんだバンプに電気的に接続され、

前記第2はんだバンプは、前記第2接続回路の第2ランナーに接続されることを特徴とする請求項3記載のパッケージ。

10 【請求項8】 前記第2接続回路の第3ランナーは、前記第2集積回路チップの下表面に沿って第1方向に延び、

前記第1接続回路の前記第1ランナーは、前記第1集積回路チップの上表面に沿って第2方向に延び、

前記第1方向と前記第2方向とは、前記表面の法線方向から見た場合交差することを特徴とする請求項7記載のパッケージ。

【請求項9】 前記はんだバンプと前記第1および第2の接続回路との間にアンダーバンプ金属化層をさらに有することを特徴とする請求項4記載のパッケージ。

20 【請求項10】 前記アンダーバンプ金属化層は、クロム層と銅層とを含むことを特徴とする請求項9記載のパッケージ。

【請求項11】 前記第1と第2の相互接続回路は、アルミを含有することを特徴とする請求項10記載のパッケージ。

【請求項12】 前記第1の集積回路チップは、少なくとも2つの集積回路チップを支持することを特徴とする請求項3記載のパッケージ。

30 【請求項13】 (a) 複数の能動半導体デバイスを有し、その長さが L_1 で幅が W_1 であり、その結果上表面の面積 A_1 は $L_1 \times W_1$ で、下部表面の面積も A_1 に等しい第1集積回路チップと、

(b) 前記第1集積回路チップの上表面に形成される第1相互接続回路と、

(c) 複数の能動半導体デバイスを有し、その長さが L_2 で幅が W_2 であり、その結果上表面の面積 A_2 は $L_2 \times W_2$ で、下部表面の面積も A_2 に等しい第2集積回路チップと、

40 前記第2集積回路は前記第1集積回路チップに支持され、 $A_2 < A_1$ であり、

(d) 複数の能動半導体デバイスを有し、その長さが L_3 で幅が W_3 であり、その結果上表面の面積 A_3 は $L_3 \times W_3$ で、下部表面の面積も A_3 に等しい第3集積回路チップと、前記第2集積回路は前記第1集積回路チップに支持され、 $A_2 + A_3 < A_1$ 、 $L_2 + L_3 < L_1$ 、 W_2 、 $W_3 < W_1$ 、であり、

50 (e) 前記第2と第3の集積回路チップの下表面と前記第1集積回路チップの上表面との間を間隙を残しながら

らそれらを結合する複数の結合手段と、

(f) 前記第2集積回路チップの下表面上に形成された第2相互接続回路と、

(g) 前記第2集積回路チップの下表面上に形成された第3相互接続回路と、からなることを特徴とする集積回路パッケージ。

【請求項14】 前記複数の接合手段の少なくとも1つは、前記第1接続回路上の少なくとも1つの部位を前記第2接続回路上の少なくとも1つの部位と電気的に接続することを特徴とする請求項13記載のパッケージ。

【請求項15】 前記複数の接合手段の少なくとも1つは、前記第1接続回路上の少なくとも1つの部位を前記第3接続回路上の少なくとも1つの部位と電気的に接続することを特徴とする請求項14記載のパッケージ。

【請求項16】 前記第1と第2と第3の接続回路のそれぞれに複数のランナーを有し、前記第1と第2と第3の接続回路のランナーの少なくとも一部は、前記複数の接合手段の内の2つの接合手段を電気的に接続することを特徴とする請求項15記載のパッケージ。

【請求項17】 前記複数の接合手段は、はんだバンプを含むことを特徴とする請求項16記載のパッケージ。

【請求項18】 前記第1接続回路の第1ランナーは、第1はんだバンプに電気的に接続され、前記第1はんだバンプは、前記第2接続回路の第1ランナーに電気的に接続され、前記第2接続回路の第1ランナーは、第2はんだバンプに電気的に接続され、前記第2はんだバンプは、前記第1接続回路の第2ランナーに接続され前記第1接続回路の第2ランナーは、第3はんだバンプに電気的に接続され、前記第3はんだバンプは、前記第3接続回路の第1ランナーに接続されることを特徴とする請求項16記載のパッケージ。

【請求項19】 前記第1接続回路の第3ランナーは、前記第1集積回路チップの上表面に沿って第1方向に延び、前記第2接続回路の前記第1ランナーは、前記第2集積回路チップの下表面に沿って第2方向に延び、前記第1方向と前記第2方向とは、前記表面の法線方向から見た場合交差することを特徴とする請求項18記載のパッケージ。

【請求項20】 前記第2接続回路の第1ランナーは、第1はんだバンプに電気的に接続され、前記第1はんだバンプは、前記第1接続回路の第1ランナーに電気的に接続され、前記第1接続回路の第1ランナーは、第2はんだバンプに電気的に接続され、前記第2はんだバンプは、前記第3接続回路の第1ランナーに接続されることを特徴とする請求項16記載のパ

ッケージ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、チップオンチップ組立体を有する集積回路パッケージの製造に関する。

【0002】

【従来の技術】 長年に渡って、半導体デバイスと、そのパッケージデザインの傾向は、より高いレベルの集積化方向に向かっており、これはメモリ技術においては同一のチップ上にメモリデバイスと論理デバイスを集積する形態をとっている。パワーモジュールとドライバ回路とは、従来はDRAM SRAMの一部であり、多くのメモリのデバイスの設計は、共通のチップ上にメモリアレイを搭載したアプリケーション仕様の論理デバイスを有している。しかし、論理とメモリの半導体素子は、多くの共通の特徴を共有するが差異も存在する。例えば、DRAMメモリ素子の限界となるような特徴は蓄積キャパシタである。この素子は小型で欠陥やリーク電流がないようにしなければならない。論理デバイスは、それに匹敵するような素子は存在せず多くのデバイスの点に関し

てはより許容性があるものである。従って、メモリデバイスを最適化するように形成されたウェハの製造プロセスは、論理デバイスにとっては必ずしも最適なものではない。かくして、同一の半導体チップ上に異なるデバイスを有するようにするため妥協がなされる。

【0003】 集積化または埋設化 (integration or embedding) に対する別の展開は、脱集積化の概念であり、この概念においてはメモリデバイスは主にメモリセルから構成されその必要なサポート回路はワンチップ内に集積され、一方アプリケーション論理デバイスと他のトランジスタは別のチップ上に搭載される。これらのチップはそれらの素子の大きさと特徴を最適になるように処理される。この技術においては、集積化はパッケージレベルで実行され、その成功への鍵は性能とコストの点で、そして少なくともサイズが同等となるような点において、チップ集積化システムよりも優れた最終製品を生成するようなパッケージ技術である。

【0004】 このパッケージ化技術に対する有望な候補は、フリップチップのボンディングと組み立てである。フリップチップボンディングは、十分開発し尽くされた技術であり、裸のシリコンICダイを上下逆さにしてプリント配線基板のような相互接続基板上に結合することが特徴である。いくつかのボンディング技術が開発され、その例はボールボンディング、ボールグリッドアレイ (BGA: ball grid array) でボールボンディングの形態) と、はんだバンプボンディングである。このような技術はより小さな接触表面によりI/Oのヒッチが緩和され、チップの相互接続部位用の周辺アレイではなく平面アレイが開発されている。さらにまた電気的性能が向上しているが、その理由はリード線の長さが短くなっ

ているからである。通常これらの技術におけるボンディング方法は、はんだボンディングである。

【0005】これらの開発を最初に実現したものはマルチチップモジュールであり、このモジュールにおいては、複数の能動デバイスチップが共通の相互接続用基板上に接合されている。この相互接続用基板は標準のプリント配線基盤、あるいは、多くの高級なパッケージデザインにおいてはシリコンウェハである。インターチップ相互接続すなわちチップ間の相互接続を提供する大部分の回路は、相互接続用基板上に形成されている。このチップ自身が、チップ内の回路の形態（金属化層）によりチップ間のインターチップ相互接続を有する。この金属化層は、1/0ボンディング部位の列で集端し、その部位はインターチップ相互接続用の相互接続部位である。相互接続するための数十あるいは数百の1/0部位を有する、最新の論理チップとメモリチップにおいては、相互接続用基板上のイントラチップ相互接続は非常に複雑となる。現在の設計においては、この回路は多くのクロスオーバ相互接続を必要とする。インターチップ相互接続においてクロスオーバを提供するためには、第2レベルのプリント回路が与えられる。マルチレベルのプリント回路基板とマルチレベルのシリコン製相互接続用基板は公知であり、広く使用されているが、単一レベルの相互接続構成よりは依然として高価であり、融通が利かない。

【0006】マルチチップモジュールにおける最近の進歩は、チップオンチップのアプローチであり、このアプローチにおいては能動チップが相互接続用基板ではなく、別の能動チップにフリップチップ接合される。チップの大きさが許せば、複数の小さなチップを大きなチップに接合することが可能である。論理チップ例えばデジタル信号プロセッサは、きわめて大きく少なくとも2つの標準のメモリチップを含むのに十分な領域を有している。論理チップすなわちサポートチップは、リードフレームパッケージ内にパッケージされ、従来のMCMパッケージの基板すなわち相互接続用基板を取り除いている。チップオンチップパッケージにおけるイントラチップ相互接続回路は、サポートチップの表面上に通常構成されている。しかし同じような制限が発生する。すなわち、クロスオーバ接続がしばしば必要とされそしてサポートチップは2つのレベルの相互接続を具備しなければならない。

【0007】

【発明が解決しようとする課題】本発明の目的は、構造が単純で安価なマルチレベル相互接続組立体を提供することである。

【0008】

【課題を解決するための手段】本発明のチップオンチップ組立体においては、すべてのインターチップ相互接続は各チップ上の単一レベルの相互接続において行われ

る。これは、本発明によれば、インターチップ相互接続回路の少なくとも一部を、より小さな（上部）のチップにシフトすることにより行われる。複数の上部チップが存在する場合には、インターチップ回路は2つのチップ上の相互接続回路が共通の相互接続レベルをあたかも含むようにすなわち上部のチップの1つへの相互接続が他の上部のチップ上のランナー（導体）を含むように設計される。この構成の重要な特徴は、空気絶縁型のクロスオーバ接続を提供するために、チップオンチップボンディングにすでに存在するギャップを利用することである。

【0009】

【発明の実施の形態】図1には、従来のチップオンチップの構成が示されており、基板チップ11がチップ12とチップ13を搭載している。一般的に基板チップ11はチップ12とチップ13よりも大きい。このような大きなチップはマイクロプロセッサチップまたはASICであり、小さなチップはメモリチップである。同図に示された構成においては、チップオンチップの構造体の全体のパッケージサイズは、チップ上にすべてのメモリを有する大きなマイクロプロセッサチップよりも小さな領域を占有するにすぎない。

【0010】チップ12、チップ13と基板チップ11との間のはんだバンフチップ間相互接続構造がはんだバンフ14として図1に示されている。図面を簡単化するために、4個のみのはんだバンフ相互接続構造が示されているが、実際の場合には、より大きな列通常エッジ列を構成する。

【0011】チップオンチップの構成（配列）は、相互接続ルーティング用のサポートチップの表面を利用できる利点がある。別のチップ間のボンディング部位に到達するために基板表面全体に相互接続路を配線できることは、相互接続回路の設計に対しかなりのフレキシビリティを与えることになる。従って、図2に示すように、従来のチップオンチップの組立体（チップ12とチップ13が基板チップ11によりサポートされたもの）は、基板チップ11上に相互接続回路を有する。この相互接続構造の一部の詳細を図3に示す。同図において基板31は、通常ポリイミド製の厚い絶縁層32によりカバーされたサポートチップである。絶縁層32はICのキャップ層でもよいが、例えばSINCAP（図示せず）のような、キャップ層の上に形成される。絶縁層32はICボンディングパッドの上にウインドウの形成を容易にするための光により規定されるホリマーであり、その1つをICボンディングパッド33として示す。所望の相互接続用金属層が絶縁層32の上に形成され、これは同図では、ランナー35、36、37として表される。ランナー35は、ICボンディングパッド33に接触し、絶縁層32に沿って横方向に延び、ランナー36、37は、Y軸方向（この図面に垂直方向）に延びる。金属層

が堆積されパターン化された後、この金属層は絶縁層38でカバーされ、この絶縁層38内でランナー35の部分39の上にウインドウが形成される。上部チップ41はICボンディングパッド42と絶縁層43とを有し、この絶縁層43にはボンディングパッド用のウインドウが形成されている。チップ間の相互接続ははんだバンプ44によって行われ、アンダーバンプ金属化層がサポートチップのアンダーバンプ金属化層45の場所でそして上部チップのアンダーバンプ金属化層46の場所に形成されている。

【0012】チップオンチップの構成において、(通常下の)サポートチップがこのサポートチップにより支持される(通常上の)チップよりも大きいことの重要な利点は、上部チップの周辺よりさらに延びるサポートチップ領域をサポートチップ上の金属化レベルが有効活用できる点である。直接相互接続構成すなわちチップがボンディングパッドに接続されている構成においては、サポート基板のボンディングパッドはサポートチップの端部のボード内に位置し、そこで、上部チップ上のパッドの列アレイと直接接合できる。前者の構成の利点は、図2より明らかである。同図においては実質的なルーティングは上部チップの領域の外側で行われ大きな領域がサポート基板用のI/Oボンディングパッド部位用に利用できる。

【0013】チップオンチップの組立体の開発においては、クロスオーバー相互接続の必要性が認識され、クロスオーバー構成(配置)が、図4に示すような二層レベルの金属構造体で実現されている。同図においては、ランナー51、52、53、54は、第1レベルの金属層で、ランナー55、56は、第2レベルの金属層である。この2つのレベルの金属層がクロスオーバーの機能を与える。例えば、ランナー55、56が、ランナー51、53と交差している。

【0014】2つのレベルの金属層のアプローチが用いられているが、本発明による、改善された例を図5に示す。図5の相互接続構成においては、あるレベルの金属層がサポートチップの上に形成され、別のレベルの金属層が上部のチップの上に形成される。図5において、上部チップ41は、接点パッド62を有し、単一レベルの相互接続回路は、ランナー63、64、65で表される。上部チップ67は、サポートチップ基板61にはんだバンプ68、69により、フリップチップ結合されている。アンダーバンプ金属化層71が、はんだバンプとチップ表面の間に配置されている。単一レベルの金属相互接続構造が、上部チップ67の上に形成され、これはランナー72、73、74により表されている。同図に示された相互接続構成においては、上部チップの表面上のランナー73は、サポートチップの表面上のランナー64を、はんだバンプ68、69で支持されて交差している。このクロスオーバーは、ギャップ75により(空

気)絶縁されている。本発明による、相互接続構造の空気絶縁によるクロスオーバーにより、配線の完全な柔軟性が得られる。本明細書において、空気絶縁とは、熱膨張効果を管理するための、エポキシのような充填材料で充填されているか否かを問わない、受動型のギャップを意味する用語である。

【0015】図5のアンダーバンプ金属化層71は、様々な公知の金属の1つから形成されている。このような金属は、ランナーまたは接点パッドの材料によく接着し、通常スズのはんだ形成において濡れ性と高い導電性を有しなければならない。これらの要件に合う構造体は、クロムと銅の合金である。クロムを先ず堆積して接点パッドに接着し、その後銅をクロムの上に形成してハンダぬれ性表面を提供する。クロムは、様々な金属、有機物、無機物にもよく接着する。したがってクロムは誘電体材料(SiO_2 , SiNCAPS , ホリイミド等)および銅、アルミ等の金属にも十分接着する。しかし、ハンダ合金は銅を溶解しクロムからぬれ性を奪いさる。クロムの上に直接形成された銅の薄い層は溶解して溶融ハンダになり、その後このハンダがクロム層からぬれ性を奪いさる。ハンダとUBM43との間の界面の完全性を維持するため、クロムと銅の化合物または合金層がクロム層と銅層の間に用いられる。

【0016】前述した層は、一般的にはスパッタリングにより形成されるがそれらを堆積するいくつかの別の方法も用いることができる。この層は、合金のターゲットからスパッタリングで形成される。クロムターゲットを用いてスパッタリングし、その後銅ターゲットに切り換える。あるいは別々のクロムターゲットと銅ターゲットを用いてそれらの間で切り換えることによりスパッタリングを行うこともできる。後者の方法は傾斜組成を有する層を生成できるので好ましい。

【0017】本発明の実施例では、アンダーバンプ金属化層は500-5000オングストローム(以下Åで表す)のオーダーの好ましくは1000-3000Åの厚さを有するクロム製の第1層を含む。クロムはアルミ製接点、 Ti/Pt/Au に十分に接着し、かつ基板内に存在する誘電体層にも十分よく接着する。このクロムは耐火金属でアルミ製接点と耐腐食性のインタフェースを形成する。第2層は Cr/Cu の薄い遷移層でありハンダのぬれ性を与え、クロム層とその後形成される銅層の間に金属学的に安定したインタフェースを与える。この第2層はクロムターゲットと銅ターゲットの両方を有する装置内でスパッタリングをし、これらのターゲット間で移り変わらせることにより形成される。その結果、純粋のクロム層と純粋の銅層との間で組成が変化する共スパッタ層となる。この第2層である遷移層の厚さは1000-5000Åで、好ましくは2000-3000Åである。

【0018】第3層は厚さが1000-10000Å

で、好ましくは2000-6000Åである銅層である。この銅層である第3層は、ハンダバンプ用に通常使用されるハンダ材料に対しぬれ性を有する。大部分がスズのベースの共融ハンダの溶融点は比較的低く、そしてハンダ付け温度においては、銅層の表面はハンダバンプと反応して物理的かつ電氣的に安定した金属間結合を形成する。全ての銅がハンダ層内にとけ込んだ場合でも、ハンダはCr/Cu合成層に対し接着しぬれ性を有する。また選択的な層である金製の層47が銅層である第3層46の表面に形成され、銅層である第3層の表面の酸化を阻止している。この選択的な層である金層の厚さは500-3000Åで好ましくは1000-2000Åである。

【0019】この多層構造のアンダーバンプ金属化系の製造プロセスの詳細な説明は、同出願人の米国特許出願に開示されている。この金属化系は、前述した相互接続プロセスに対し特に有効で、例えば他の別の構成例も使用することができる。

【0020】図5の相互接続構造の平面図を図6に示す。同図においては、サポートチップ上の金属化層は薄い影部で示され、上部チップの部分の金属化層は濃い影部で示されている。クロスオーバーすなわちランナー64をまたぐランナー73と、ランナー74の下のランナー65とは、この図においてより明らかである。この実施例において、ランナーは、X方向とY方向に走る。しかし、これらのランナーは、直角以外の角度、例えば45度の角度に沿って走って交差してもよい。

【0021】相互接続構造を介したはんだバンプを用いてのクロスオーバー相互接続構造の組み合わせが図7に示される。サポートチップは81で、上部のフリップチップチップ結合されたチップが82で示されている。これらのチップは、はんだボール83、84、85、86により、接合されている。この目的は、サポートチップ81上の接点パッド87、88を、上部のフリップチップ結合されたチップ82上の接点パッド91、92と接続させることである。ランナー93、94、95がサポートチップ81の上に、ランナー96、97、98が上部のフリップチップ結合されたチップ82の上に配置されている。これらのランナーは、はんだボールによる、相互接続を介して、ボンディングパッドに接続され、ランナー96がランナー94と交差し、ランナー97がランナー95と交差している。

【0022】本発明の相互接続構成においては、はんだボールボンドの少なくとも一部のものは、いわゆるバイアスすなわち複数の金属レベル間の相互接続導体であり、これはチップ基板上の接点パッドを接続する、従来技術のはんだボールボンドとは対照をなすものである。これらのバイアスははんだボール相互接続構造の配置場所は任意である。すなわち上部チップの領域のいかなる場所でもよい。はんだボールボンドをバイアスによる相互

接続として用いることは、はんだボールボンドの数は従来のチップオンチップ組立体におけるよりも大きいことを意味する。しかし、はんだボールボンドの数が增加することは、その組立体の機械的頑強さが向上し熱の分散がよくなり熱シンクも向上する。

【0023】たぐさんののはんだバンプ相互接続部位がチップエッジのインボード (in-board) 内に配置されているために、その終端場所はチップエッジの近傍にあり、相互接続構造の一部は、「誤った方法による」相互接続となることがある。図8に示した例においては、ランナー101はサポートチップ103上のエッジパッド102とバイアスによるはんだバンプ相互接続構造104をもって、接続される。上部チップ100上のランナー105は、はんだバンプ相互接続構造104と接点パッド106とを接続する。このパスは、直接的ではないのである種の自動ルーティングプログラムは、これらのルートに対しては、積極的ではなく過剰の面倒さをそれらに与えることになる。しかし、はんだバンプによるバイアスを用いることにより得られる効率的なクロスオーバーレイアウトにより、相互接続レイアウトの全体は、この間違った方法によるルートの数にも関わらず非常に効率的となりうる。

【0024】本発明の別の特徴は、サポートチップサイトと上部チップ上のサイトとを相互接続するランナーは、相互接続レイアウトに柔軟性を与えるような別の上部チップにまたがって配線できる点である。この別の実施例を図9に示す。同図においてはサポートチップ111は、2つの上部チップ112、113とをサポートする。サポートチップ111上の接点パッド114を、接点パッド115と接続するために、図9に示したようなルーティングが、本発明によるバイアスはんだバンプを用いることにより、得られる。このルーティングは、接点パッド114から得られ、ランナー116に沿って、バイアスはんだバンプ117に移行し、さらに、上部チップの上部チップ金属化層とランナー118に至り、そしてバイアスはんだバンプ119に行き、その後サポートチップ金属化層とランナー121にもどり、さらにバイアスはんだバンプ122に進み、そしてさらにランナー123に進み最終的に接点パッド115に至る。2つのクロスオーバー、すなわち、ランナー118とランナー123と1つの「クロスアンダー」であるランナー121が、このルートには含まれる。

【0025】上記の相互接続技術は、相互接続用金属化レベルとICチップ間の容量性の相互作用の程度を調べるために実行されテストされた。上記した構成において、能動デバイスの近傍に配置された相互接続回路間の容量性結合は、下に配置されたデバイスの機能と過剰に緩衝すると予測される。しかしデバイスの性能は損傷されなかったことが分かった。

【0026】バイアスの相互接続構造用に用いられるは

んだバンプは、蒸着、または、スクリーンプリンティングのような従来技術により形成される。本発明に利用可能な構成においては、チップ領域の全体は、潜在的にはんだバンプ相互接続用に利用できる。そのため、レイアウトははんだバンプ相互接続領域間の通常のスペースよりも大きく形成できる。そのため小さなピッチのチップは、比較的大きなはんだバンプにより相互接続可能である。従って、比較的大きなピッチのパッドアレイと共に使用されるよう限定されているはんだペースト技術は、チップ領域の内側部分内のはんだバンプ部位に終端部を配線することにより、細かいピッチのパッドアレイを相互接続するのに用いることができる(図8)。

【0027】本明細書においては、集積回路チップで使用された、「能動チップ」とは、複数の半導体および／またはダイオードを含む半導体チップを意味する。チップオンチップの相互接続構造においてはこの用語が公知であり、サポートチップとそれによりサポートされるチップの両方とも能動チップである。これは、相互接続基板(通常シリコン製)が別の能動チップ用のあるいはインダクタまたはキャパシタのような、受動型デバイス用の純粋なサポート構造である点とは、対照をなすものである。

【0028】また、「はんだバンプ」とは、平面上の構造体を結合すること、およびこれらの構造体を電氣的に相互接続することの、両方を含むはんだ形成を意味する。このようなはんだバンプは、下部素子の上表面と上部素子の下表面間に、ボイドまたはスペースを残すような離れた関係でこれらの構造体を結合する。この種類のはんだ形成は、柱形状、または、ボール(球)の形状である。これらのはんだバンプは、上部チップと下部チップ間の相互接続部位(インターチップ接続)と、上部チップ上の複数の部位とおよび／または、下部チップ上の複数の部位との間を、相互接続する(インターチップ接続)の両方に用いられる。

【0029】「ランナー」とは、サポートチップの上表面または、上部チップの下(対面)表面のいずれかの相互接続ポイント間に延びる、相互接続回路の一部を意味する。

【0030】「クロスオーバー」とは、あるチップ上の相互接続回路の回路ランナーが、第1の方向に延び、対面してしているチップ上の相互接続回路の少なくとも1つのランナーが、第2の方向に延び、前記第1の方向と第2の方向とは、チップの面の法線方向から見た場合、交差している状況を表す。このクロスオーバー相互接続は、下側チップまたは上側チップのいずれかの上のランナーが、交差することによりなされる。後者の場合、相互接続はクロスアンダーとも見なされる。しかしこれはクロスオーバーと同義である。

【0031】本発明の原理を使用することすなわち相互接続回路用のチップオンチップ構成において、向かい合

う面の両方を用いることは、相互接続回路に利用できる領域が、広がることになる。面と向かい合う表面を用いることにより空気絶縁型のクロスオーバー用のチップ間の、既存の空気ギャップを利用することができ、これにより相互接続バスの長さを比較的短くすることが可能となり、上側チップの上表面を用いることにより、さらに相互接続領域を拡張することができる。例えば、インダクタまたは、キャパシタのような受動型デバイスを、チップオンチップ組立体の上表面に配置することも、可能である。さらにまたこのような回路の機能により、サポートチップまたは上側チップのいずれかまたはその両方の上に、マルチレベルの金属パターンを用いることができるようになる。

【図面の簡単な説明】

【図1】一般的なチップオンチップ相互接続構造の側面図。

【図2】一般的なチップオンチップ相互接続構造の平面図。

【図3】一般的なチップオンチップ組立体における相互接続の部分を表す側面図。

【図4】チップオンチップ組立体において実現される2つのレベルの相互接続構造を表す側面図。

【図5】本発明の単一レベルの相互接続回路を表す図で、図3、4との比較を表す図。

【図6】図5の単一レベルの相互接続構造の一部を表す平面図。

【図7】本発明による単一レベルの相互接続回路で実現される、複数のクロスオーバーを表す平面図。

【図8】本発明による一般的なレイアウトの一部を構成する誤った方法の相互接続を表す平面図。

【図9】サポートチップの誤った側上の部位に、他の上部チップを相互接続するために、複数の上部チップの内の1つにまたがって、2本の相互接続バスがチップオンチップパッケージ上に配置された状態を表す上面図。

【符号の説明】

11 基板チップ

12、13 チップ

14 はんだバンプ

31 基板

40 32 絶縁層

33 ICボンディングパッド

35、36、37 ランナー

38 絶縁層

39 部分

41 上部チップ

42 ICボンディングパッド

43 絶縁層

44 はんだバンプ

45、46 アンダーバンプ金属化層

50 51、52、53、54、55、56 ランナー

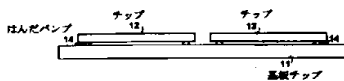
13

- 61 サポートチップ基板
- 62 接点ハッド
- 63、64、65 ランナー
- 67 上部チップ
- 68、69 はんだバンプ
- 71 アンダーバンプ金属化層
- 72、73、74 ランナー
- 75 ギャップ
- 81 サポートチップ
- 82 上部のフリップチップ結合されたチップ
- 83、84、85、86 はんだボール
- 87、88、91、92 接点ハッド
- 93、94、95、96、97、98 ランナー

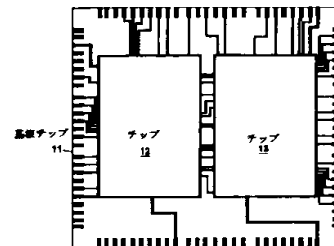
14

- 100 上部チップ
- 101 ランナー
- 102 エッジパッド
- 103 サポートチップ
- 104 はんだバンプ相互接続構造
- 105 ランナー
- 106 接点ハッド
- 111 サポートチップ
- 112、113 上部チップ
- 114、115 接点ハッド
- 116、118、121、123 ランナー
- 117、119、122 バイアスはんだバンプ

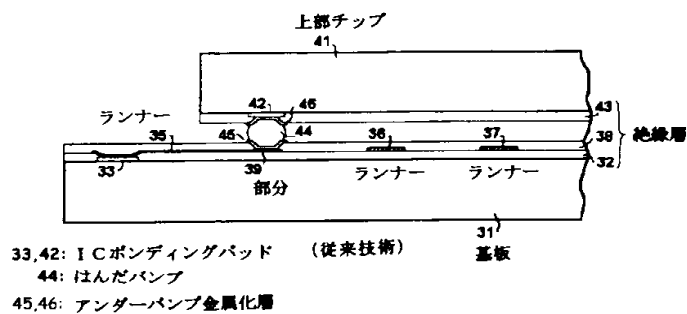
【図1】



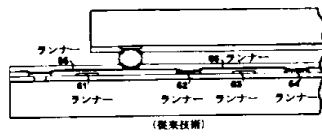
【図2】



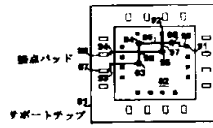
【図3】



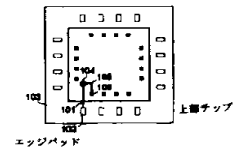
【図4】



【図7】



【図8】

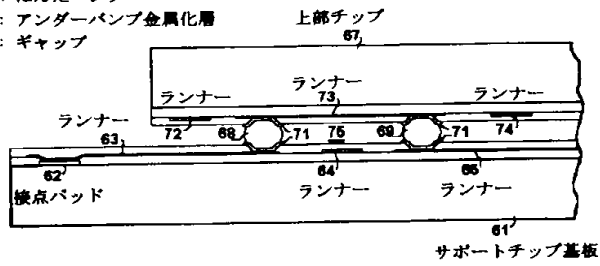


【図5】

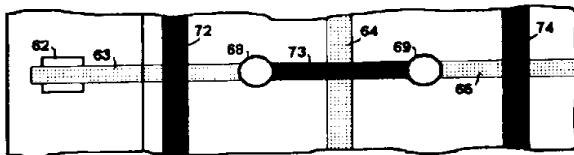
68,69: はんだバンプ

71: アンダーバンプ金属化層

75: ギャップ

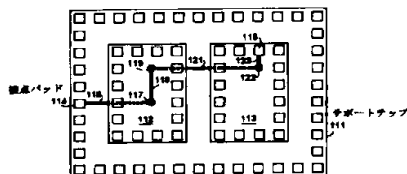


【図6】



62: 接点パッド 68,69: はんだバンプ
63,64,65: ランナー 72,73,74: ランナー

【図9】



フロントページの続き

(71)出願人 596077259
600 Mountain Avenue,
Murray Hill, New Je
rsey 07974-0636 U. S. A.

(72)発明者 イー レン ロウ
アメリカ合衆国, ニュージャージー, ユニ
オン, バークレイ ハイツ, バークレイ
スクエアM11
(72)発明者 ケヴィン ジョン オコナー
アメリカ合衆国, ニュージャージー, ハン
タードン, レバノン, クリスタル ドライ
ブ 1